

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-22185

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和64年(1989)1月25日

H 04 N 7/13

Z-8725-5C

審査請求 未請求 発明の数 1 (全10頁)

⑬ 発明の名称 画像信号の高効率符号化装置

⑭ 特 願 昭62-178375

⑮ 出 願 昭62(1987)7月17日

⑯ 発 明 者 近 藤 哲 二 郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑰ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑱ 代 理 人 弁理士 杉浦 正知

#### 明 細 書

##### 1. 発明の名称

画像信号の高効率符号化装置

##### 2. 特許請求の範囲

時間的又は空間的な配列を有する複数の画素中で規則的に位置する第1の画素以外の第2の画素に関して、上記第2の画素の夫々の周辺の複数の上記第1又は第2の画素を使用して補間の予測を行う手段と、

上記補間により、得られたデータと上記第2の画素の原データとの間の予測誤差を検出し、上記予測誤差の大きさに応じて制御コードを発生する手段と、

上記第1の画素のデータを伝送すると共に、上記制御コードに応じて上記第2の画素の原データの伝送／間引きを行い、伝送データを形成する手段と、

を備えた高効率符号化装置において、

予め処理単位の全面素に関して、上記予測誤差の形成を行う手段と、

上記処理単位毎に、形成された上記予測誤差の絶対値の度数の集計を行う手段と、

上記度数の集計表を用いて、出力データが要求されるレート以下になるように、上記制御コードを発生するためのしきい値を決定する手段と

を備えたことを特徴とする画像信号の高効率符号化装置。

##### 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、テレビジョン信号等の画像信号の高効率符号化装置、特に、サブサンプリングを用いるもののバッファリング処理に関する。

##### 〔発明の概要〕

この発明では、時間的又は空間的な配列を有する複数の画素中で規則的に位置する第1の画素以外の第2の画素に関して、第2の画素の夫々の周辺の複数の第1又は第2の画素を使用して補間の予測を行う手段と、補間により、得られたデータと第2の画素の原データとの間の予測誤差を検出

し、予測誤差の大きさに応じて制御コードを発生する手段と、第1の画素のデータを伝送すると共に、制御コードに応じて上記第2の画素の原データの伝送/間引きを行い、伝送データを形成する手段とを備えた高能率符号化装置において、

予め処理単位の全画素に関して、予測誤差の形成を行う手段と、処理単位毎に、形成された予測誤差の絶対値の度数の集計を行う手段と、度数の集計表を用いて、出力データが要求されるレート以下になるように、制御コードを発生するためのしきい値を決定する手段とが設けられている。この発明に依れば、画像の微細な部分の特徴に応じてサブサンプリングの密度が変化され、復元画質を良好とでき、また、高い圧縮率が得られる。また、この発明は、実時間処理が可能であって、静止画像のみならず動画像を処理することができる。更に、可変密度サブサンプリングのためにレートが変化する出力データを要求されるレート以下の一定レートに変換することができる。

(従来の技術)

ディジタルビデオ信号を伝送する場合に、伝送するデータ量を元のデータ量に比して圧縮する方法として、サブサンプリングによって画素の間引き、サンプリング周波数を低くするものが知られている。サブサンプリングの一つとして、画像のデータが $\frac{1}{2}$ に間引かれ、サブサンプリング点と、補間の時に使用するサブサンプリング点の位置を示す2ビットのフラグとを伝送するものが提案されている。ディジタルビデオ信号の1画素データが8ビットの場合、フラグの2ビットを加えると、1画素当たりが5ビットとなり、圧縮率が $(5/8)$ となる。

この従来のサブサンプリングは、サブサンプリングのパターンが常に同じであるので、画像中で物体の輪郭のような部分では、復元画質の劣化が目立つ問題があった。特に、サブサンプリングのレートを $\frac{1}{2}$ より高くすると、画質の劣化が著しい欠点があった。

本願出願人は、上述の問題点を解決するために、

特願昭61-110098号明細書に記載されているように、1枚の画像を多数の2次元ブロックに分割し、このブロック内の複数の画素データの最大値と最小値との差(ダイナミックレンジ)を求め、ブロックのダイナミックレンジに応じてサブサンプリングの周期を可変する符号化方法を提案している。即ち、ダイナミックレンジが小さいブロックに関しては、平面的な画像と判断して、サブサンプリングの周期を例えば $(1/8)$ のように長くし、また、ダイナミックレンジが比較的大きいブロックに関しては、変化がある画像と判断して、サブサンプリングの周期が $(\frac{1}{2})$ とされ、更に、ダイナミックレンジが極めて大きいブロックに関しては、変化が激しい画像と判断して、サブサンプリングがなされない。

上述のように、ダイナミックレンジに応じてサブサンプリングの周期を選択的に切り替える高能率符号化装置は、ブロックの単位でサブサンプリングの周期が設定されるので、ブロックの単位で復元画像の画質の良否が発生し、ブロックの歪が

目立つ欠点があった。また、サブサンプリングの周期として選択できる種類は、限界があり、画像の特徴に対する適応性が不充分であった。

これらの問題点を解決するものとして、本願出願人は、特願昭62-85210号明細書に示されるように、規則的に位置する基本画素は、必ず伝送し、基本画素の周囲の画素に関して、その周囲の画素を使用して、補間の予測を行い、補間の予測誤差の大きさに応じて伝送/間引きを制御する高能率符号化装置を提案している。この高能率符号化装置に依れば、ブロック単位の劣化が生ぜず、また、画像の特徴に適応した任意のサブサンプリングのパターンを形成でき、良好な復元画像が得られる。

(発明が解決しようとする問題点)

上述の本願出願人の提案に係る高能率符号化装置は、可変密度サブサンプリングを行うために、画像の内容に応じて出力データのレートが変動する。ディジタルVTRでは、編集の容易さ等の理由により、1トラックに記録されるデータの量が

一定であることが必要である。

従来のバッファリングの処理の典型は、大容量のバッファメモリを設け、このバッファメモリから一定レートの出力データを得るものであった。しかし、バッファメモリを使用する場合には、ハードウェアの規模が大きくなる問題があり、メモリの容量を大きくしないと、オーバーフロー或いはアンダーフローが生じる問題があった。

従って、この発明の目的は、可変密度サブサンプリングにおいて、バッファメモリを使用せずに、出力データとして、一定レートのものを得ることができる画像信号の高効率符号化装置を提供することにある。

#### 〔問題点を解決するための手段〕

この発明では、時間的又は空間的な配列を有する複数の画素中で規則的に位置する第1の画素以外の第2の画素に関して、第2の画素の夫々の周辺の複数の第1又は第2の画素を使用して補間の予測を行う回路と、補間により得られたデータと

予測される誤差の大小に応じてなされる。予測誤差は、しきい値と比較され、その大小が判断される。即ち、予測誤差がしきい値より大きい時には、間引きができないために、原データが伝送され、予測誤差がしきい値より小さい時には、間引きが可能のために、原データが伝送されない。このようにして伝送／間引きが制御された第2の画素のデータと第1の画素のデータとが伝送される。第2の画素のデータの各サンプルに対しては、伝送／間引きを制御するための1ビットの制御データが付加される。受信側では、制御データを見て補間が必要かどうか判断される。

上述のしきい値を大きくすれば、間引かれる画素が多くなり、出力データのレートが下がる。一方、しきい値を小さくすれば、間引かれる画素が少なくなり、出力データのレートが上がる。従って、しきい値の大きさの制御により、バッファリング処理が可能となる。

具体的には、適切なしきい値を決定するために、予め、1フィールド、1フレーム、複数フレーム

第2の画素の原データとの間の予測誤差を検出し、予測誤差の大きさに応じて制御コードを発生する回路と、第1の画素のデータを伝送すると共に、制御コードに応じて第2の画素の原データの伝送／間引きを行い、伝送データを形成するようにした高効率符号化装置において、

予め処理単位の全画素に関して、予測誤差の形成を行う回路と、処理単位毎に、形成された予測誤差の絶対値の度数の集計を行う回路と、度数の集計表を用いて、出力データが要求されるレート以下になるように、制御コードを発生するためのしきい値を決定する回路とが備えられている。

#### 〔作用〕

一例として、デジタルビデオ信号の(4×4)画素毎に位置する第1の画素は、間引かれずに必ず伝送される。この第1の画素以外の第2の画素は、サブサンプリングによって間引かれるか又はそのまま伝送される。この判断は、受信側で間引かれた画素を周辺画素により補間した場合に、

等の処理単位に関して、発生情報量を求める。この発生情報量は、処理単位での補間の予測誤差の度数分布表から知ることができる。度数分布表に対して、しきい値を予測誤差が0の位置から順に適用することにより、間引かれる画素数が分る。目標する伝送レートと対応する要求間引き画素数が設定され、上述の間引き画素数が要求間引き画素数を越える時の値がしきい値とされる。このしきい値により、可変密度サブサンプリングの符号化がなされる。

この発明では、先の出願の発明と同様に、予測誤差に基づく、伝送／間引きの判断は、原データを用いてなされるので、実時間処理が可能であり、動画像に対して適用してこの発明は、好適であり、また、この発明は、ブロック構造を有しないので、ブロック毎に復元画質の良否が目立つ問題が発生せず、更に、1画素毎に、間引きについての判断を行うので、画像の特徴に対する適応性が頗る良好とできる。特に、この発明では、高効率符号化された出力データのレートを目値とする値以下に

抑えることができる。

(実施例)

以下、この発明の一実施例について図面を参照して説明する。この説明は、下記の順序に従ってなされる。

- a. 一実施例の全体の構成
- b. サブサンプリングエンコーダ
- c. サブサンプリングデコーダ
- d. しきい値決定回路
- e. 変形例

a. 一実施例の全体の構成

第1図は、この発明の一実施例の全体の構成を示し、101で示す入力端子には、例えばデジタルビデオ信号が供給される。このデジタルビデオ信号は、例えば13.5(MHz)のサンプリング周波数で、1画素の量子化ビット数が8ビットのものである。

入力デジタルビデオ信号は、サブサンプリン

グフィールド遅延回路103から供給される。入力端子1には、LDで示されるライン遅延回路2、3、4、5の連続接続が接続される。また、入力端子1に対してSDで示されるサンプル遅延回路6及び7が直列に接続され、ライン遅延回路2の出力側にサンプル遅延回路8及び9が直列に接続され、ライン遅延回路3の出力側にサンプル遅延回路10、11、12及び13が直列に接続され、ライン遅延回路4の出力側にサンプル遅延回路14及び15が直列に接続され、ライン遅延回路5の出力側にサンプル遅延回路16及び17が直列に接続される。これらのライン遅延回路2、3、4、5は、1水平期間の遅延量を夫々持ち、サンプル遅延回路6、7、8、・・・、17は、1サンプリング期間の遅延量を夫々有する。ライン遅延回路2～5及びサンプル遅延回路6～17により、テレビジョン画像の所定の2次元領域に含まれる複数画素のデータが同時に取り出される。

第3図を参照してこの実施例によるサブサンプリングについて説明する。第3図は、入力ディジ

タルエンコーダ102及びフィールド遅延回路103に供給される。この実施例は、バッファリングの処理単位が1フィールドとされている。サブサンプリングエンコーダ102は、補間の予測誤差 $\epsilon$ を発生するためのもので、この予測誤差 $\epsilon$ がしきい値決定回路104に供給される。しきい値決定回路104は、間引かれる画素数が要求される間引き画素数を超え、従って、目標とするレートが出力データを超えないようなしきい値THを発生する。

フィールド遅延回路103を介されたデジタルビデオ信号がサブサンプリングエンコーダ105に供給され、可変密度サブサンプリングの処理を受ける。このサブサンプリングエンコーダ105の出力端子28に出力データが得られると共に、出力端子28に制御データが得られる。

b. サブサンプリングエンコーダ

第2図を参照して、上述のサブサンプリングエンコーダ105について説明する。第2図において、1で示す入力端子にデジタルビデオ信号が

供給される。入力端子1には、LDで示されるライン遅延回路2、3、4、5の連続接続が接続される。また、入力端子1に対してSDで示されるサンプル遅延回路6及び7が直列に接続され、ライン遅延回路2の出力側にサンプル遅延回路8及び9が直列に接続され、ライン遅延回路3の出力側にサンプル遅延回路10、11、12及び13が直列に接続され、ライン遅延回路4の出力側にサンプル遅延回路14及び15が直列に接続され、ライン遅延回路5の出力側にサンプル遅延回路16及び17が直列に接続される。これらのライン遅延回路2、3、4、5は、1水平期間の遅延量を夫々持ち、サンプル遅延回路6、7、8、・・・、17は、1サンプリング期間の遅延量を夫々有する。ライン遅延回路2～5及びサンプル遅延回路6～17により、テレビジョン画像の所定の2次元領域に含まれる複数画素のデータが同時に取り出される。

第3図を参照してこの実施例によるサブサンプリングについて説明する。第3図は、入力ディジ

タルビデオ信号の1フィールドの一部の領域を示し、水平方向の画素の間隔がサンプリング周期と対応し、垂直方向の画素の間隔がライン間隔と対応している。第3図中の各画素に付された記号(△、●、□、×、○)の夫々は、補間の処理の違いを表している。まず、○で示されるのは、4ライン毎及び4画素毎に位置する基本画素を表す。この16個の画素毎に1個の割合の基本画素は、間引かれずに必ず伝送される。基本画素以外の画素は、以下に述べるように、2個の画素の平均値と比較され、原画素データと平均値との差(予測誤差) $\epsilon$ がしきい値TH以下の時には、間引かれる。逆に、予測誤差 $\epsilon$ がしきい値THを超える場合には、伝送される。

①△で表される画素：上下のラインに夫々位置する画素データの平均値と比較される。

例えば、画素a2は、平均値( $\frac{1}{2}(a1+a3)$ )と比較される。

②●で表される画素：上下の2ライン離れたラインに夫々位置する画素の平均値と比較される。

例えば画素a3は、平均値 $(\frac{1}{2}(a1+a5))$ と比較される。

③□で表される画素：左右の2画素離れて位置する画素の平均値と比較される。

例えば画素c3は、平均値 $(\frac{1}{2}(a3+e3))$ と比較される。

④×で表される画素：左右に隣接する画素の平均値と比較される。

例えば画素b2は、平均値 $(\frac{1}{2}(a2+c2))$ と比較される。

第2図におけるサンプル遅延回路11の出力側が注目画素であって、このサンプル遅延回路11の出力データがセレクト18及び19の第5の入力端子と減算回路23とゲート回路27とに供給される。セレクト18及び19は、第1～第5の5個の入力端子を持ち、サンプリングクロックと同期する端子20からの選択信号によって、これらの5個の入力端子に夫々供給されている入力データを出力端子に選択的に出力する。

セレクト18の第1の入力端子には、サンプル

遅延回路7の出力データが供給され、セレクト19の第1の入力端子には、サンプル遅延回路17の出力データが供給される。従って、注目画素が△で表される画素の場合に、セレクト18及び19の夫々の第1の入力端子に供給される入力データが選択される。セレクト18及び19の第2の入力端子には、サンプル遅延回路9及び15の出力データが夫々供給される。従って、注目画素が●で表される画素の場合に、セレクト18及び19の夫々の第2の入力端子に供給される入力データが選択される。セレクト18及び19の第3の入力端子には、ライン遅延回路3及びサンプル遅延回路13の出力データが夫々供給される。従って、注目画素が□で表される画素の場合に、セレクト18及び19の夫々の第3の入力端子に供給される入力データが選択される。セレクト18及び19の第4の入力端子には、サンプル遅延回路10及び12の出力データが夫々供給される。従って、注目画素が×で表される画素の場合に、セレクト18及び19の夫々の第4の入力端子に供

給される入力データが選択される。セレクト18及び19の第5の入力端子には、サンプル遅延回路11の出力データ(注目画素)が供給され、従って、注目画素が○で表される基本画素の場合に、セレクト18及び19の両者が基本画素を選択する。

セレクト18及び19の出力データが加算回路21に供給され、加算回路21の出力信号が $\frac{1}{2}$ 倍回路22に供給される。従って、 $\frac{1}{2}$ 倍回路21からは、セレクト18及び19によって夫々選択された2個の画素データの平均値データが発生する。この平均値データとサンプル遅延回路11からの注目画素のデータとが減算回路23に供給され、減算回路23からの差データが絶対値化回路24において絶対値に変換される。この絶対値化回路24の出力データが比較回路25に供給され、端子26からのしきい値と比較される。

絶対値化回路24の出力データは、前述のように、2画素の画素の平均値で補間を行った時に発生する予測誤差 $\epsilon$ を表している。この予測誤差 $\epsilon$

がしきい値TH以下の場合には、その画素を間引いても良いことを意味するので、比較回路25からの制御データ(1ビット)が“1”とされる。一方、予測誤差 $\epsilon$ がしきい値THを超える場合には、受信側で補間が良好にできないことを意味するので、比較回路25からの制御データが“0”とされる。この制御データによって、ゲート回路27のオン/オフが制御される。制御データが“0”の時には、ゲート回路27がオンして原画素データが出力端子28に取り出され、制御データが“1”の時には、ゲート回路27がオフして原画素データが出力端子28に取り出されない。また、制御データは、出力端子29に取り出され、サブサンプリングされたビデオデータと共に伝送される。即ち、サブサンプリングエンコーダの出力端子28、29には、フレーム化回路(図示せず)が接続され、このフレーム化回路において、画素データ及び制御データが合成され、伝送される画素データの場合では、1画素当たりで9ビットのデータが伝送され、間引かれる画素データの場

合では、1画素当りて1ビットの制御データのみが伝送される。

上述のように、サブサンプリングは、1画素毎に予測誤差 $\epsilon$ が大きいかに否かに応じてなされる。即ち、ブロック単位ではなく、最小単位である画素毎に適応的に伝送/間引きが制御される。また、予測誤差 $\epsilon$ を求めて間引きを行うかどうかを判定する時に、補間データを用いずに、実データを用いているので、繰り返し処理が避けられ、実時間処理が可能である。

サブサンプリングエンコーダ105は、第2図に示す構成と同一の構成とされている。一方、サブサンプリングエンコーダ102は、第2図における絶対値化回路24からの予測誤差 $\epsilon$ を得るために設けられているので、比較回路25及びゲート回路27を必要としない。

c. サブサンプリングデコーダ、

第4図は、受信側(VTR等の場合には、再生側)に設けられるサブサンプリングデコーダを示す。第4図において、31で示す入力端子に受信

されたデジタルビデオ信号が供給され、32で示す入力端子に受信データと同期しているサンプリングクロックが供給される。

入力端子31には、ライン遅延回路33、34、35、36が直列に接続される。入力端子31及びライン遅延回路33~36の夫々の出力側には、直列→並列変換回路41、42、43、44、45が夫々接続される。これらの直列→並列変換回路41~45には、サンプリングクロックによって、異なるラインの夫々の受信データが順次取り込まれ、1/4分周回路37の出力信号によって、4個の画素データがラッチされ、また、次の画素データが入力された時点で5個の画素データが並列的に発生する。従って、あるタイミングにおいては、第3図に示される画素が直列→並列変換回路41~45の夫々から出力される。例えば、ライン遅延回路36から(a1、b1、c1、d1)の4個の画素データが直列→並列変換回路45にラッチされ、次の画素データe1と合わせた5個の画素データが同時に直列→並列変換回路45から発

生する。

直列→並列変換回路41~45の出力信号の中で、a5~e5とe1~e4とは、補間のために用いられる周辺の画素データであって、これらの画素を除く、(4×4-16)個の画素が補間の対象とされる。51、52、53、...、58、59は、夫々補間回路を示し、互いに同一の構成を有している。第5図は、補間回路51の構成を具体的に示す。

補間回路51は、入力端子91、92及び93と出力端子94とを有し、入力端子91に対して、補間の対象とされる画素データc5(1ビットの制御データ含む)が供給され、入力端子92及び93には、補間に必要な周辺の画素データe5及びa5が供給される。入力端子92及び93からの画素データが加算回路95に供給され、加算回路95の出力信号が1/4倍回路96に供給される。この1/4倍回路96の出力信号が平均値補間における補間値である。入力端子91からの画素データ及び1/4倍回路96の出力信号がセレクト97に供

給される。

セレクト97は、入力端子92からの画素データに含まれている1ビットの制御データにより制御され、制御データが"1"(間引き)の場合には、セレクト97が1/4倍回路96の出力信号を選択し、制御データが"0"(伝送)の場合には、セレクト97が入力端子91からの画素データを選択する。セレクト97の出力信号が出力端子94に得られる。

原画素データが間引き画素の時に、補間回路51~69の夫々から得られる補間値は、下記に示されるものである。

$$\text{補間回路51: } c5 \rightarrow \frac{1}{4}(a5 + e5)$$

$$\text{補間回路52: } e4 \rightarrow \frac{1}{4}(e3 + e5)$$

$$\text{補間回路53: } c4 \rightarrow \frac{1}{4}(c3 + c5)$$

$$\text{補間回路54: } a4 \rightarrow \frac{1}{4}(a3 + a5)$$

$$\text{補間回路55: } d4 \rightarrow \frac{1}{4}(c4 + e4)$$

$$\text{補間回路56: } b4 \rightarrow \frac{1}{4}(a4 + c4)$$

$$\text{補間回路57: } e3 \rightarrow \frac{1}{4}(e1 + e5)$$

$$\text{補間回路58: } a3 \rightarrow \frac{1}{4}(a1 + a5)$$

補間回路59:  $c3 \rightarrow \frac{1}{2}(a3 + e3)$

補間回路60:  $d3 \rightarrow \frac{1}{2}(c3 + e3)$

補間回路61:  $b3 \rightarrow \frac{1}{2}(a3 + c3)$

補間回路62:  $e2 \rightarrow \frac{1}{2}(e1 + e3)$

補間回路63:  $c2 \rightarrow \frac{1}{2}(c1 + c3)$

補間回路64:  $a2 \rightarrow \frac{1}{2}(a1 + a3)$

補間回路65:  $d2 \rightarrow \frac{1}{2}(c2 + e2)$

補間回路66:  $b2 \rightarrow \frac{1}{2}(a2 + c2)$

補間回路67:  $c1 \rightarrow \frac{1}{2}(a1 + e1)$

補間回路68:  $d1 \rightarrow \frac{1}{2}(c1 + e1)$

補間回路69:  $b1 \rightarrow \frac{1}{2}(a1 + c1)$

上述の補間回路51～69からの出力信号の中で、 $(4 \times 4)$ の範囲に含まれる16個の画素データが同一ライン内の4画素毎に並列→直列変換回路71、72、73、74に夫々供給される。これらの並列→直列変換回路71～74には、 $\frac{1}{4}$ 分周回路37の出力信号によって、補間後の4個の画素データが夫々ラッチされる。また、並列→直列変換回路71～74からは、端子32からのサンプリングクロックに同期して直列の復元デー

タが出力される。なお、第4図中で記入された画素データは、 $\frac{1}{4}$ 分周回路37からの次のクロックが発生する時点では、勿論、異なったものとなる。即ち、直列→並列変換回路41～45の夫々の画素データa1、a2、a3、a4、a5は、画素データe1、e2、e3、e4、e5によって置き換えられる。

並列→直列変換回路71からの復元データがライン遅延回路75に供給され、ライン遅延回路75の出力データと並列→直列変換回路72からの復元データがセレクト76に供給される。セレクト76の出力データがライン遅延回路77に供給され、ライン遅延回路77の出力データと並列→直列変換回路73からの復元データがセレクト78に供給される。セレクト78の出力データがライン遅延回路79に供給され、ライン遅延回路79の出力データと並列→直列変換回路74からの復元データがセレクト80に供給される。これらのライン遅延回路75、77、79とセレクト76、78、80は、復元データの順序をテレビジ

ョン走査と同様の順序に変換するために設けられており、セレクト80の出力端子81には、テレビジョン走査の順序の復元データが得られる。

#### d. しきい値決定回路

第6図は、しきい値決定回路104の一例の構成を示す。第6図において、110で示す入力端子に、サブサンプリングエンコーダ102からの予測誤差 $\epsilon$ が供給される。予測誤差 $\epsilon$ は、8ビットの場合には、 $(0 \sim 255)$ までの値をとりうる。

この予測誤差 $\epsilon$ が選択回路111を介して度数メモリ112にアドレス信号として供給される。また、入力端子113からのサンプリングクロックが選択回路114を介して度数メモリ112に対して、書き込み/読み出し(R/W)信号として供給される。度数メモリ112は、このR/W信号により、リードモディファイドライト動作(同一アドレスに関して、読み出し動作の直後に書き込み動作を行う動作)を行う。

度数メモリ112には、選択回路116を介さ

れたデータが入力される。選択回路116には、加算回路117の出力信号とゼロのデータとが供給される。加算回路117には、+1発生回路118の出力信号と度数メモリ112の読み出し信号とが供給されている。

度数メモリ112は、その内容が全てゼロの初期状態とされており、予測誤差 $\epsilon$ がアドレスとして供給されると、そのアドレスのデータ(初期状態では、ゼロ)が読み出されて、加算回路117に供給され、加算回路117の出力信号(+1)が度数メモリ112に書き込まれる。1フィールドの期間にわたって、予測誤差 $\epsilon$ が供給されると、度数メモリの各アドレスには、 $(0 \sim 255)$ の中に含まれる予測誤差 $\epsilon$ の各々の値の発生度数に対応するデータが格納される。

この度数メモリ112に格納されている度数集計表を使用して、しきい値THが決定される。このしきい値決定動作は、例えば垂直ブランキング期間内に実行される。しきい値決定動作時には、選択回路111により、カウンタ119の出力信

号が選択される。カウンタ119は、入力端子115からのクロック信号により、0から255にインクリメントするアドレスを発生する。

また、選択回路114により、端子115からのクロック信号が選択される。これらのアドレス及びクロック信号により、度数メモリ112に格納されている予測誤差 $\epsilon$ の各々の度数が読み出されて、この度数が積算回路120に供給される。これと共に、選択回路116がゼロのデータを選択し、度数メモリ112には、ゼロデータの書き込みがなされ、次のフィールドの処理のための初期化がなされる。

積算回路120は、予測誤差 $\epsilon$ が0のものから255に向かって度数を積算する。この積算回路120の出力信号は、間引き数を示している。積算回路120の出力信号が比較回路121に供給される。比較回路121には、目標とするレートと対応する要求間引き数が供給されており、積算回路120の出力信号とこの要求間引き数が比較される。積算回路120の出力信号が要求間引き

数以上となると、比較回路121からラッチパルスが発生する。

カウンタ119の0から255に向かってインクリメントする出力信号がラッチ122に供給され、比較回路121からのラッチパルスによりラッチされる。このラッチ122からのしきい値THが出力端子123に取り出される。

尚、予測誤差0の度数には、基本画素も含まれているので、この分を考慮して、要求間引き数の値が設定される。

#### e. 変形例

この発明は、他の高効率符号と組み合わせる使用する場合にも適用できる。本願出願人は、画面を多数のブロックに分割し、ブロック毎にダイナミックレンジを求め、このダイナミックレンジを固定又は可変のビット数で定まる個数の領域に分割し、最小値除去後の画素データが属する領域と対応するコード信号を送信するダイナミックレンジに適応した符号(ADRCと称される)を先に提案している。このADRCとこの発明を組み合

わせても良い。

また、この発明における制御データをランレングス符号化によって符号化しても良い。

#### 〔発明の効果〕

この発明に依れば、処理単位で発生情報量を一定にすることができ、例えばデジタルVTRにこの発明を適用して効果的である。また、この発明では、大容量のバッファメモリを必要としないので、回路規模を小さくできる。

更に、この発明では、可変密度サブサンプリングの持つ下記のような利点を有する。可変密度サブサンプリングは、ブロック単位でサブサンプリングのパターンを切替える方式と異なり、ブロック単位で復元画素の劣化が目立つことを防止できる。また、画像の特徴に対して適応性が非常に良好なサブサンプリングがされ、復元画質を良好とできる。更に、実時間処理が可能で、動画像の処理に好適なものである。より更に、エラーが発生しても、このエラーが伝播することが少ない。

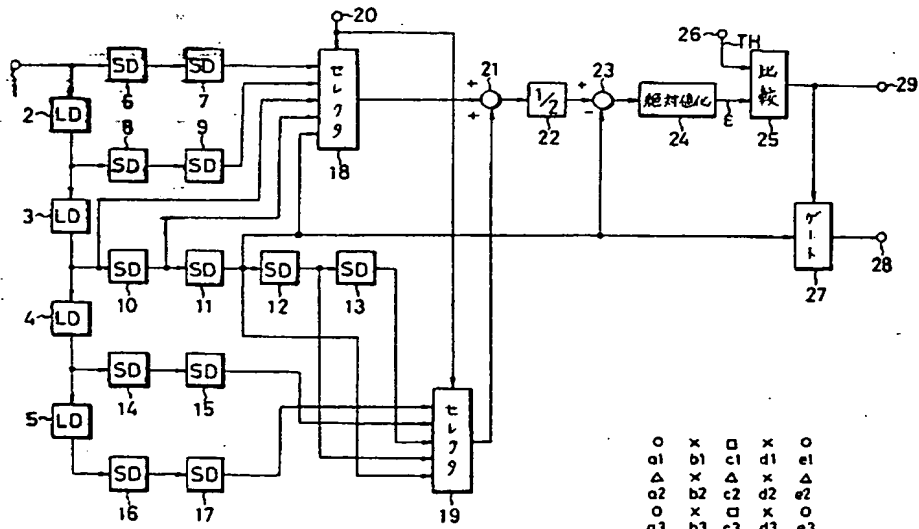
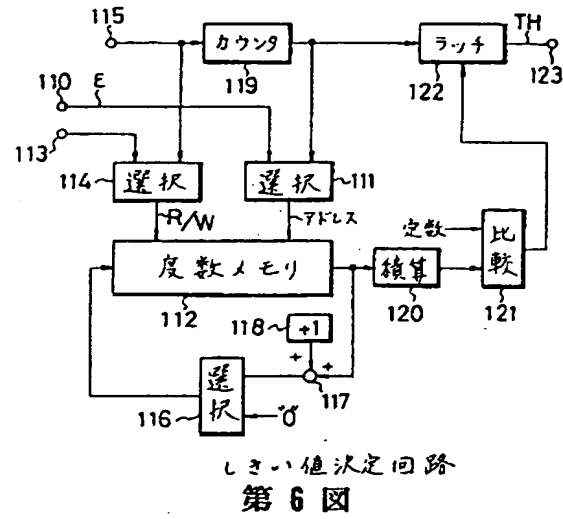
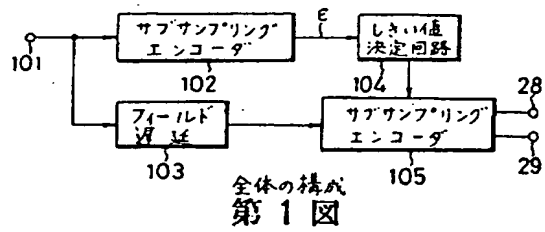
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の全体の構成を示すブロック図、第2図はサブサンプリングエンコードの構成を示すブロック図、第3図はこの発明の一実施例のサンプリングパターンの説明に用いる略線図、第4図はサブサンプリングデコードのブロック図、第5図はサブサンプリングデコードに設けられる補間回路の具体的構成の一例を示すブロック図、第6図はしきい値決定回路の一例のブロック図である。

#### 図面における主要な符号の説明

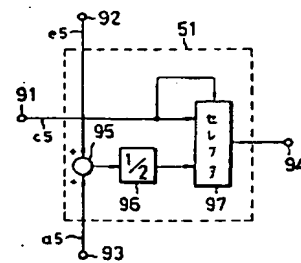
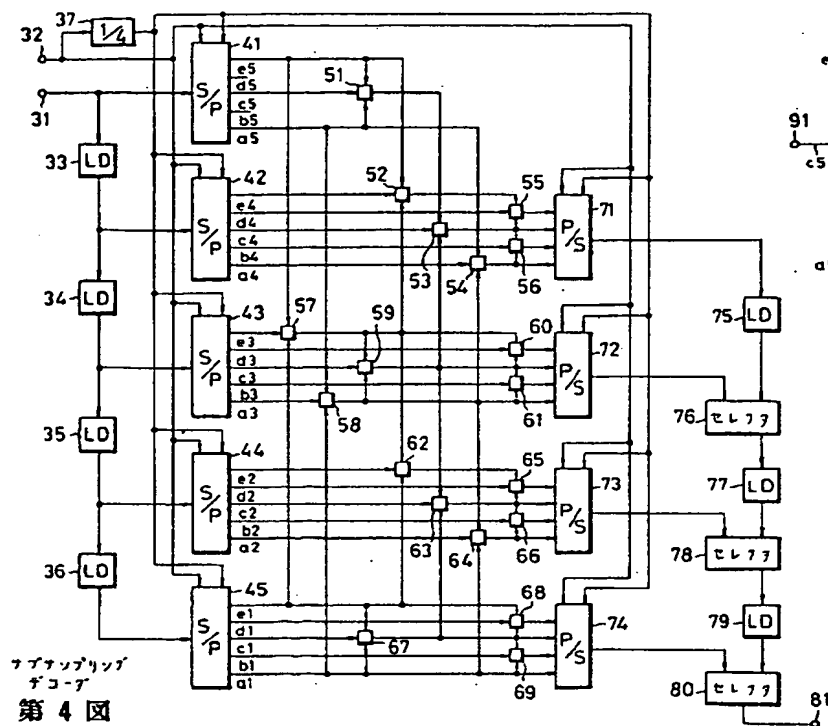
101:入力端子、2~5:ライン遅延回路、6~17:サンプル遅延回路、18、19:セレクタ、23:減算回路、25:比較回路、27:ゲート回路、28、29:出力端子、102、105:サブサンプリングエンコード、112:度数メモリ。

代理人 弁理士 杉 浦 正 知



0	x	0	x	0
a1	b1	c1	d1	e1
Δ	x	Δ	x	Δ
a2	b2	c2	d2	e2
0	x	0	x	0
a3	b3	c3	d3	e3
Δ	x	Δ	x	Δ
a4	b4	c4	d4	e4
0	x	0	x	0
a5	b5	c5	d5	e5

サブサンプリングパターン  
第3図



サブアップリッングダイコーダの回路図  
第 5 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**